

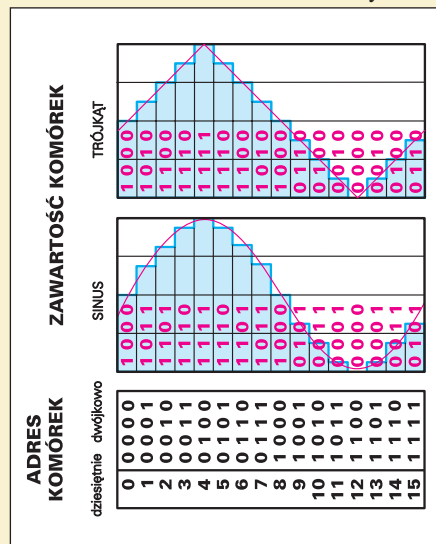
DDS

Bezpośrednia synteza cyfrowa

Od lat znane są i wykorzystywane najróżniejsze układy generatorów. Najprościej można wytworzyć przebieg prostokątny. Znacznie trudniej wytworzyć przebiegi trójkątne, sinusoidalne. Jeszcze trudniejsze do osiągnięcia są przebiegi nietypowe, o najróżniejszych kształtach definiowanych przez użytkownika. Takie przebiegi są często potrzebne, zwłaszcza w układach pomiarowych i testowych.

W ostatnich latach dynamicznie rozwijająca się technika cyfrowa wkroczyła także na nowe obszary. Szybkie układy cyfrowe umożliwiają wytworzenie przebiegów o dowolnej częstotliwości i dowolnym kształcie, a wykorzystuje się do tego przetworniki cyfrowo-analogowe i pamięci z informacjami o kształcie generowanego przebiegu. **Rysunek 1a** pokazuje uproszczony sposób realizacji takiego generatora, a **rysunek 1b** zawartość pamięci (czyli tabelę konwersji) w przypadku generowania sygnału sinusoidalnego i trójkątnego. O kształcie przebiegu wyjściowego decyduje zawartość pamięci, a częstotliwość jest równa częstotliwości oscylatora, podzielonej przez stopień podziału licznika.

Schodkowe przebiegi z rysunku 1b zdecydowanie odbiegają od ideału. Ale wystarczy zastosować pamięć o znacznie większej pojemności, np. 4096 komórek, gdzie każda komórka zawiera 10 lub 12 bitów. Wtedy liczba



Rys. 1B

“schodków” zwiększa się do 4096, a “wysokość schodka” radykalnie zmniejsza. W efekcie przebieg wyjściowy przetwornika cyfrowo-analogowego jest bliski ideału, a zawartość obcych składowych (związanych ze “schodkami”) jest rzędu ułamka procenta, czyli nie gorzej, jak w dobrych generatorach analogowych.

Sposób z **rysunku 1a** wygląda obiecująco, jednak okazuje się niepraktyczny - nawet przy zastosowaniu bardzo szybkich liczników mogących pracować z sygnałem wyjściowym do, powiedzmy, 500MHz, maksymalna częstotliwość wyjściowa nie przekraczałaby 125kHz (500MHz / 4096). Drugim problemem jest zmiana częstotliwości oscylatora - należałoby zastosować złożone układy zawierające dzielniki i pętle synchronizacji fazowej.

Istnieje nieporównanie prostsza metoda. Generalna idea, pokazana na **rysunku 2**, jest podobna. Przetwornik D/A i pamięć pozostają bez zmian i nadal w systemie wykorzystywany jest układ mający właściwości licznika. Co najważniejsze, nadal jeden pełny cykl tego układu licznikowego daje jeden okres przebiegu wyjściowego. Inny jest jednak sposób zmiany czasu trwania cyklu układu licznikowego. Jak widać, oscylator ma stałą częstotliwość, a o częstotliwości przebiegu wyjściowego decyduje liczba podana na wejście programujące.

Rysunek 3 pokazuje ogólną zasadę działania układu licznikowego. Działanie wbrew pozorom jest bardzo proste. Sercem jest rejestr utworzony z pewnej liczby najzwyczaj-

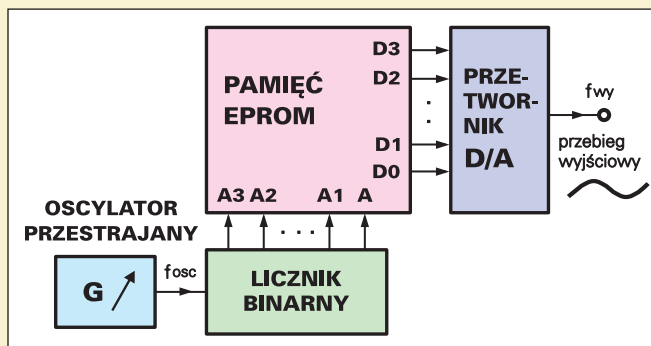
szych przerzutników D (sterowanych zbroczem) oraz sumator. Ten sumator to układ logiczny, na którego wyjściu C pojawia się liczba (dwójkowa), będącą sumą dwóch liczb (dwójkowych) A i B. **Rysunek 4** pokazuje dalsze szczegóły.

Jak się okaże, właśnie liczba A określa długość cyklu takiego niecodziennego układu licznikowego. Działanie jest następujące - w momencie wystąpienia aktywnego zbocza sygnału zegarowego rejestr przepisuje na wyjścia (B) stan swoich wejść (C). Po każdym aktywnym zboczu nowa liczba dwójkowa B jest sumowana z liczbą dwójkową podawaną stale na wejście A. Liczba C będąca sumą A+B pojawia się wprawdzie na wejściach rejestru, ale rejestr jest wtedy “nieprzezroczysty”. Liczba C zostaje przepisana na wyjścia rejestru (jako nowa liczba B) dopiero po przyjsciu następnego aktywnego zbocza. Najnowsza liczba B zostaje zsumowana z tą samą liczbą A. Suma C pojawia się na wejściach rejestru i następne aktywne zbocze zegarowe przepisuje ją na wyjścia, jako jeszcze nowszą liczbę B. Nietrudno zauważyć, że liczba dwójkowa B (stan układu

licznikowego) po każdym aktywnym zboczu zostaje powiększona o zadaną liczbę A.

Niech liczba A na początek wynosi 1. Każde aktywne zbocze oscylatora zwiększa liczbę B o 1. Ponieważ w przykładzie z **rysunku 4** jest to liczba 8-bitowa, a oscylator nieprzypadkowo ma częstotliwość 256Hz - pełny cykl pracy “licznika” nastąpi po 256 taktach zegara - okres przebiegu wyjściowego wyniesie 1 se-

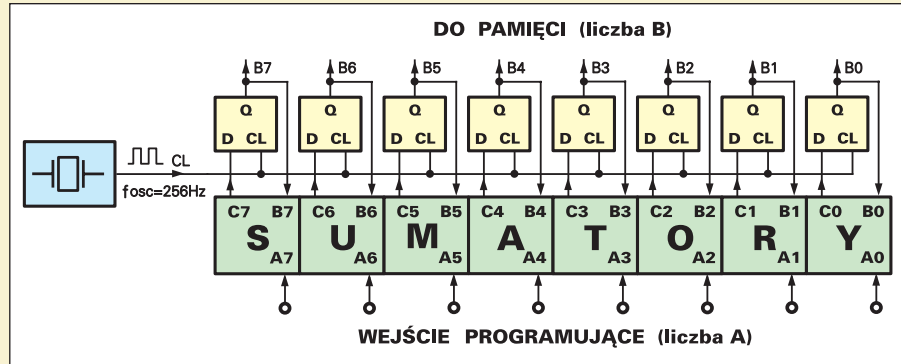
kundę, co daje częstotliwość 1Hz. Gdy liczba A = 2, jeden cykl “licznika” nastąpi w czasie dwukrotnie krótszym - częstotliwość wyjściowa wyniesie 2Hz. Gdy A = 3, częstotliwość wyjściowa wyniesie 3Hz, itd. Układ jest więc odmianą generatora



Rys. 1A

sterowanego numerycznie (ang. NCO - Numeric Controlled Oscillator), a opisany sposób wytwarzania przebiegów nosi nazwę bezpośredniej syntezy cyfrowej (ang. DDS - Direct Digital Synthesis).

Bardzo istotny jest fakt, że przy odpowiednim dobraniu długości rejestru oraz częstotliwości oscylatora, częstotliwość przebiegu wyjściowego w hercach odpowiada zadanej liczbie A. Taki generator ma znakomitą stabilność częstotliwości, wyznaczoną przez stabilność (kwarcowego) oscylatora.



Rys. 4

częstotliwość, wcale nie musi być dzielnikiem liczby N - po prostu w kolejnych cyklach wybierane będą coraz to inne komórki pamięci. Nieufni Czytelnicy mogą to sprawdzić, analizując kolejne stany próciutkiego układu z rysunku 5 przy różnych wartościach A. Podczas analizy należy pamiętać, że po dodaniu dwóch liczb dwójkowych z zakresu 0...15 wynik jest liczbą z zakresu 0...30, czyli liczbą pięciobitową - stąd pięć wyjść sumatora. Ostatnie wyjście sumatora (przeniesienie do następnego, nieistniejącego stopnia) nie jest wykorzystane.

Częstotliwość przebiegu wyjściowego za przetwornikiem D/A układów z rysunków 3...5 zawsze będzie równa

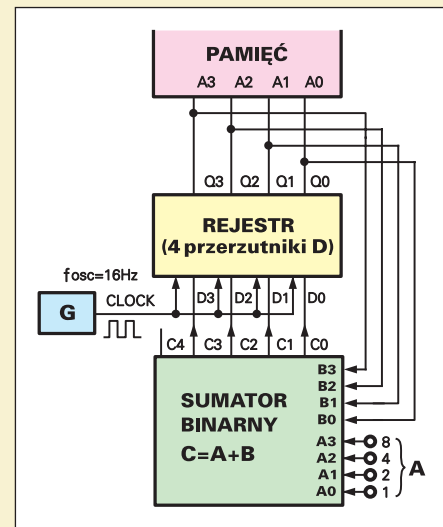
$$f_{wy} = A (f_{osc} / N)$$

gdzie N to maksymalna wartość liczby B (256 dla rys. 4; 16 dla rys. 5). Wystarczy odpowiednio dobrać f_{osc} i N, by częstotliwość wyjściowa była "okrągłą" wielokrotnością liczby A.

Intuicja podpowiada, że w użytecznym układzie należałoby zastosować rejestr zawierający znacznie więcej niż 8 stopni i stosownie do tego większa powinna być częstotliwość oscylatora. Dla uzyskania pomijalnie drobnych schodków pamięć powinna zawierać minimum tysiąc komórek, a komórka powinna zawierać 10...12 bitów. Warunki takie spełnia kolejny przykładowy system z rysunku 6.

Zastosowano w nim 22-bitowy rejestr o pojemności 2^{22} , czyli 4194304. Częstotliwość oscylatora wynosi 2^{22} Hz, czyli 4,194304MHz (taką częstotliwość mają kwarce, używane w niektórych zegarach analogowych). Dzięki temu częstotliwość wyjściowa w hercach nadal jest równa liczbie (dwójkowej) A. Należy zauważyć, że tylko 12 najstarszych bitów długiego rejestru adresuje pamięć. Sumator musi mieć jednak 22 stopnie. Aby każdy okres generowanego przebiegu składał się z wielu próbek, liczba

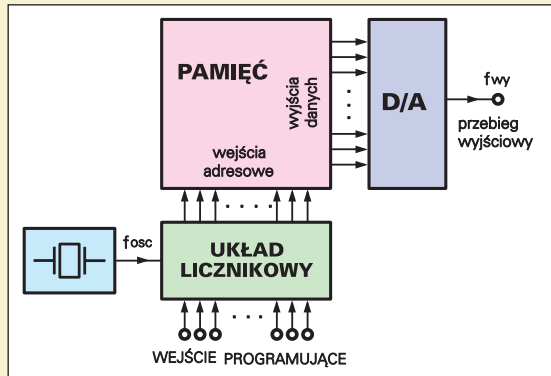
A powinna być przynajmniej kilkadziesiąt, a najlepiej kilkaset razy mniejsza niż 4194304.



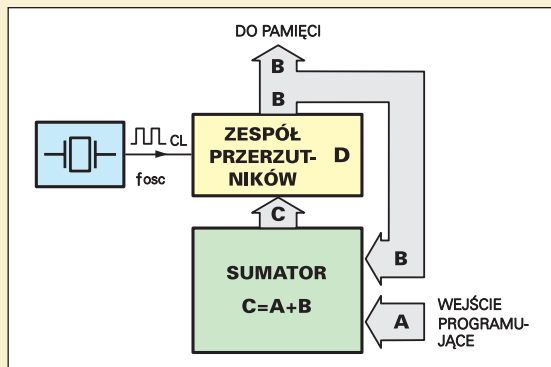
Rys. 5

Rysunek 6 wskazuje, że gdy A nie przekracza 2^{10} , czyli 1024, wykorzystywane są wszystkie komórki pamięci i przebieg wyjściowy składa się z 2^{12} , czyli 4096 próbek. Przy większych wartościach A, czyli większych częstotliwościach wyjściowych, przebieg wyjściowy składa się z mniejszej liczby próbek, schodki są większe, przez co zniekształcenia też są większe. Zniekształcenia te zmniejsza nieco filtr dolnoprzepustowy, umieszczony na wyjściu, za przetwornikiem D/A.

Nietrudno się domyślić, że aby uzyskać małe zniekształcenia także przy dużych częstotliwościach wyjściowych, częstotliwość sygnału zegarowego f_{osc} powinna być jak największa, i jak największa powinna być długość rejestru. Tu jednak występuje istotne ograniczenie. Częstotliwość taktowania nie może być zbyt wysoka, ponieważ w czasie pomiędzy kolejnymi zboczami aktywnymi musi się ustalić stan na wyjściach sumatora. Rzeczywisty sumator to układ elektroniczny charakteryzujący się jakimś opóźnieniem. Główny problem w tym, że każdy stopień sumatora dodaje nie tylko dwa



Rys. 2



Rys. 3

Aby uzyskać "ładny" przebieg wyjściowy, liczba A powinna być znacznie mniejsza od liczby komórek pamięci (czyli maksymalnej wartości liczby B). Związane jest to ze specyficznymi cechami układu. Jedynie wtedy gdy $A = 1$, na wyjściu B układu z rysunków 3, 4 pojawiają się wszystkie kolejne liczby (dwójkowe) od 0 do 255 i adresowane są wszystkie komórki współpracującej (256-bitowej) pamięci. Przy $A > 1$ niektóre komórki są pomijane. Czym większa liczba A (większa częstotliwość), tym mniej komórek pamięci jest adresowanych podczas jednego cyklu. Przykładowo przy $A = 32$ w każdym cyklu adresowanych byłoby tylko 8 komórek, czyli przebieg wyjściowy, składający się z ośmiu próbek byłby jeszcze gorszy, niż te z rysunku 1.

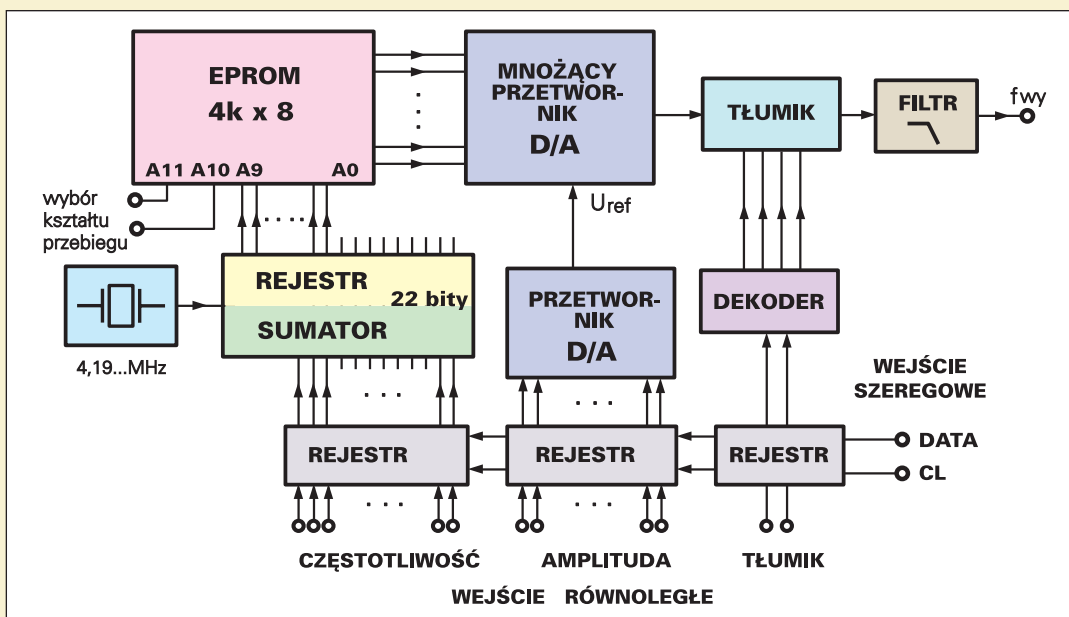
Niektórym Czytelnikom mogą się też nasunąć pytania, co się stanie, gdy liczba A nie będzie dzielnikiem liczby N (w tym przypadku 256)? Otóż zadana liczba A, określająca

“swoje” bity, ale musi uwzględnić ewentualne przeniesienia ze wszystkich poprzednich stopni (nie zaznaczono tego na rysunkach 3...6, żeby nie zaciemniać podstawowej zasady). Czas propagacji przeniesienia zależy od szybkości użytych sumatorów i liczby stopni. Aby go maksymalnie skrócić, wykorzystuje się także pewne sposoby układowe. Ten temat wykracza jednak poza ramy niniejszego artykułu.

W każdym razie maksymalną szybkość całego układu wyznacza szybkość zestawu sumatorów.

Jak pokazano na rysunku 1, przebieg wyjściowy może mieć dowolny kształt - będzie zależał od zawartości pamięci. Stosując kilka pamięci lub lepiej wykorzystując kilka obszarów większej pamięci można zmieniać kształt przebiegu wyjściowego. Jeśli zamiast zaprogramowanej pamięci stałej EPROM zostanie zastosowana pamięć RAM, można do niej załadować tabelę, dającą przebieg o dowolnym kształcie. Przy bardzo dużych częstotliwościach szybka pamięć RAM może się też okazać konieczna ze względu na stosunkowo małą szybkość typowych EPROM-ów. Pewną wadą takiego układu jest konieczność zadawania częstotliwości w postaci liczby dwójkowej. Problem przeliczania częstotliwości na liczbę dwójkową straci znaczenie, gdy generator będzie sterowany przez mikroprocesor bądź przez komputer i jego port szeregowy lub równoległy.

Można wykonać w praktyce tego typu układ z wykorzystaniem popularnej pamięci



Rys. 7

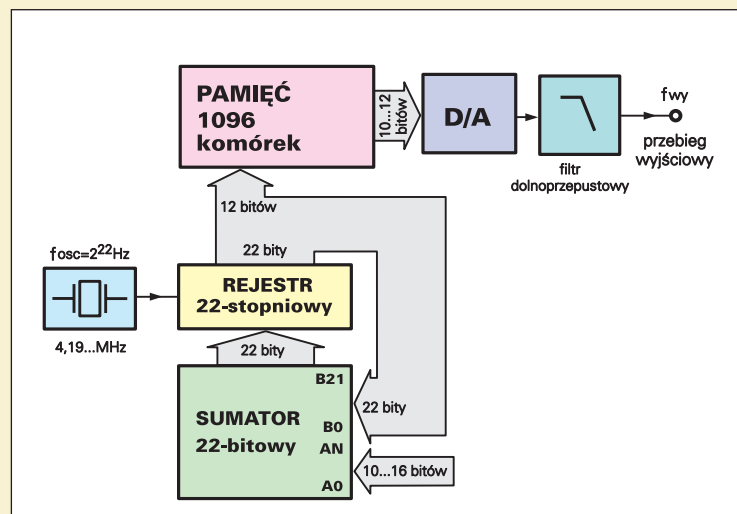
8-bitowej i 8-bitowego przetwornika D/A i będzie on miał, jak na warunki amatorskie, bardzo dobre parametry. Schemat blokowy takiego generatora pokazany jest na rysunku 7.

W układzie warto zastosować tak zwany mnożący przetwornik D/A, gdzie wejście napięcia odniesienia (U_{ref}) może być wykorzystane do płynnej regulacji amplitudy przebiegu wyjściowego. Napięcie U_{ref} można zmieniać za pomocą potencjometru zwykłego albo elektronicznego, bądź cyfrowo według rysunku 7, z wykorzystaniem dodatkowego przetwornika D/A. Dodanie na wyjściu tłumików skokowych z przekaźnikami pozwoli zbudować użyteczny generator, z cyfrowo nastawianą częstotliwością i amplitudą. Dzięki dodatkowym rejestrům dane można wpisywać równoległe lub szeregowo, na przykład przez dwie linie portu szeregowego. Zmieniając liczby określające częstotliwość i amplitudę,

można w bardzo prosty sposób modułować przebieg wyjściowy. Obecnie kilka firm produkuje gotowe układy scalone DDS, zawierające wszystkie niezbędne obwody, z wyjątkiem oscylatora i wyjściowego filtra dolnoprzepustowego.

Od lat znane są układy ML2035 i ML2036. Nie są one obecnie zbyt atrakcyjne ze względu na zakres generowanych częstotliwości, sięgający odpowiednio jedynie do 25 i 50kHz. Znacznie ciekawsze, choć droższe, są syntezy DDS firmy Analog Devices. Przy częstotliwości oscylatora taktującego wynoszącej kilkadziesiąt megaherców, zakres użytecznych częstotliwości wyjściowych sięga 10MHz, a w niektórych zastosowaniach jeszcze więcej. Syntezy takie przeznaczone są w pierwszym rzędzie nie do układów pomiarowych, lecz do nowoczesnego sprzętu telekomunikacyjnego, gdzie przy przesyłaniu sygnałów cyfrowych stosuje się różne wyrafinowane rodzaje modulacji częstotliwościowej, fazowej i amplitudowej. Właśnie zastosowanie generatorów sterowanych numerycznie (NCO), pracujących na opisanej zasadzie, pozwala w prosty sposób zrealizować takie wymyślne rodzaje modulacji.

W literaturze dotyczącej tego typu układów zazwyczaj spotyka się inne podejście. Zamiast od razu wiązać liczbę A z częstotliwością wyjściową, przedstawia się ją jako liczbę określającą przyrost fazy. Zespół zawierający rejestr i sumator jest określany mianem akumulatora fazy. Choć takie podejście jest bardziej ścisłe, jednak podawane przy tym wzory deprymują mniej zaawansowanych, a temat wydaje się bardzo złożony. Aby przybliżyć zagadnienie także początkującym, w niniejszym artykule wykorzystano proste przykłady. W ten sposób pokazano sedno sprawy bez wgłębiania się w jakiejkolwiek zawiłości matematyczne, zwłaszcza te dotyczące czystości spektralnej generowanego przebiegu.



Rys. 6

Piotr Górecki